

明細書

伝送路遅延時間測定方法

技術分野

この出願の発明は、伝送路遅延時間測定方法に関するものである。さらに詳しくは、この出願の発明は、デジタル伝送路における伝送装置間の伝送遅延時間を測定する伝送路遅延時間測定方法に関するものである。

背景技術

従来における通信網の利用形態は電話であった。電話は、一度接続されれば各ユーザに通信路が固定的に割り当てられる。このような通信形態をコネクション型という。

現在では、インターネットに代表されるデータ通信が、通信網の利用形態として主流となってきている。インターネットで利用されている通信プロトコルであるTCP/IPにおいては、データをパケットと呼ばれる単位に分割し、各パケットを個別にやりとりすることによって相手方に伝送している。このような通信形態をコネクションレス型という。

コネクションレス型の通信形態においては、パケットの個別のやりとりの分だけ、伝送路遅延が蓄積されることとなる。図4に示すように、転送したいデータが大きくなるほど遅延時間は大きくなり、ひとつのデータを送るのに少なくとも往復分の伝送路遅延時間とパケット数との積に相当するだけの時間分が遅延する。映像や音声などの様々な大容量データを伝送する今日においては、ネットワーク運用者（通信事業者、企業情報システム担当者など）にとって伝送路遅延の把握は極めて重要な課題であるといえる。

伝送路遅延時間を測定するにあたり、現在最も広く利用されている方

法はループ方式による方法である。ループ方式とは、2台のデータ伝送装置間に折り返し（ループ）を形成し、一方のデータ伝送装置に組み込まれた測定手段により他方のデータ伝送装置に対してユニークなデジタルパターンを送信し、このデジタルパターンがループされた地点から帰還するまでの時間を測定手段により計測する伝送路遅延時間測定方式である。用いられるデジタルパターンとしては、例えば連続する“1”の情報の中に特定の間隔で“0”を挿入したパターンなど測定系にとってユニークであればどのようなものであってもよい。

ループ方式以外に広く使われている伝送路遅延時間測定方法としては、コンピュータなどのデータ伝送装置を利用したpingが知られている。pingとは、相手方のデータ端末装置に対して要求パケットを送信し、要求パケットを受信した相手方のデータ端末が要求パケットの送信元であるデータ端末装置に対し要求パケットと同じデータを返送するプロトコルであり、送信元のデータ端末装置では、自身が送信した要求パケットが帰還してくるまでの時間を測定し、それを遅延時間と見なす。pingはIPレイヤに位置し、伝送レイヤよりも上位のプロトコルである（例えば非特許文献1参照）。

また、これ以外にもタイムスタンプ方式と呼ばれる方法がある。この方式においては、まず、送信側のデータ伝送装置が送信時の時刻情報を、相手側のデータ伝送装置に対して送信する。相手側のデータ伝送装置においては、受信した時刻情報に記された時刻と到着時刻との差を算出し、その差を遅延時間とみなす。この方式においては、送信側および相手側の双方のデータ伝送装置が有する時刻情報が極めて正確であることが前提となる。正確な時刻情報を取得するための時刻情報源としては、例えば、GPSクロックなどが利用されている。

以上で説明した3方式は、当業者にとって広く知られているものである。

上記のループ方式による伝送路遅延時間測定方法においては、ループ

を形成するために相手方となるデータ端末装置に対してループ作成の依頼を行う必要があり、遅延時間測定を行う環境が整うまでに手間が掛かることが問題となっている。また、ループを作成する相手方のデータ端末装置においては、測定結果を見ることができない。

上記のpingにおいては、TCP/IPのような上位レイヤに位置するプロトコルであることからコンピュータなどのデータ端末装置の利用を前提としている。すなわち、伝送路を構成するデータ伝送装置においてはTCP/IPのような上位レイヤに位置するプロトコルを処理するための機能は備えておらず、したがってpingを実行することは不可能である。

また、上記のタイムスタンプ方式による伝送路遅延時間測定方法は、前述のとおり、2つのデータ伝送装置間の時間の同期をとるためにGPSクロックなどの技術と組み合わせて用いる必要があることから、装置が複雑となりコスト高の要因となる。

非特許文献1：“A Primer On Internet an TCP/IP Tools and Utilities”，Request for Comments，(アメリカ)，IETF (Internet Engineering Task Force)，1997年6月，RFC2151 3.2. p. 6

発明の開示

この出願の発明は、以上のとおりの事情に鑑みてなされたものであり、2体のデータ伝送装置間で測定のための準備を必要とせず、また、複雑なプロトコルや別の同期装置を必要とせず、簡便にデジタル伝送路における遅延時間を測定することが可能な伝送路遅延時間測定方法を提供することを課題としている。

この出願の発明は、上記の課題を解決するものとして、第1に、信号パターンA、信号パターンB、および、信号パターンCの3種類の信号パターンを用いて、対向する第1のデータ伝送装置と第2のデータ伝送

装置との間のデジタル伝送路の遅延時間を測定する伝送路遅延時間測定方法であって、信号パターンAを受信信号の中に検出した場合には送信信号を信号パターンBに変更し、信号パターンBを受信信号の中に検出した場合には送信信号を信号パターンCに変更し、信号パターンCを受信信号の中に検出した場合には送信信号を信号パターンAに変更し、また、受信信号の中に信号パターンA、信号パターンB、および、信号パターンCのいずれも検出しない場合、あるいは、信号パターンA、信号パターンB、および、受信信号の中に信号パターンCのうちの少なくとも2つ以上を同時に検出した場合には直前の送信信号の信号パターンを維持するように、第1のデータ伝送装置と第2のデータ伝送装置との間で信号の送受信を行い、信号パターンAの送信開始から信号パターンBのみの検出までの時間、信号パターンBの送信開始から信号パターンCのみの検出までの時間、または、信号パターンCの送信開始から信号パターンAのみの検出までの時間を、伝送路間の遅延時間として測定する伝送路遅延時間測定方法を提供する。

また、この出願の発明は、第2に、上記の伝送路遅延時間測定方法であって、3種類の信号パターンが疑似ランダムパターンであることを特徴とする伝送路遅延時間測定方法を提供する。

また、この出願の発明は、第3に、送信タイミングパルスを出力する送信タイミングパルス出力手段と、送信タイミングパルスの入力により信号パターンAを生成して出力する信号パターンA出力手段と、送信タイミングパルスの入力により信号パターンBを生成して出力する信号パターンB出力手段と、送信タイミングパルスの入力により信号パターンCを生成して出力する信号パターンC出力手段と、信号パターンA出力手段、信号パターンB出力手段、および、信号パターンC出力手段から入力された信号パターンA、信号パターンB、および、信号パターンCの内のいずれかの信号パターンを選択して送信信号として出力する送信信号出力手段と、受信信号の中から信号パターンAを検出した場合

に検出信号を出力する信号パターンA検出手段と、受信信号の中から信号パターンBを検出した場合に検出信号を出力する信号パターンB検出手段と、受信信号の中から信号パターンCを検出した場合に検出信号を出力する信号パターンC検出手段と、信号パターンA検出手段、信号パターンB検出手段、および、信号パターンC検出手段から入力された検出信号に応じて送信信号出力手段に対して選択信号を出力する出力信号選択手段と、送信タイミングパルスと選択信号とから伝送路遅延時間を算出する伝送路遅延時間算出手段とを備え、出力信号選択手段において、受信信号が信号パターンAのみである場合には送信信号を信号パターンBに変更するように送信信号出力手段に対して選択信号を出力し、受信信号が信号パターンBのみである場合には送信信号を信号パターンCに変更するように送信信号出力手段に対して選択信号を出力し、受信信号が信号パターンCのみである場合には送信信号を信号パターンAに変更するように送信信号出力手段に対して選択信号を出力することを特徴とする伝送路遅延時間測定装置を提供する。

そして、この出願の発明は、出力信号選択手段より出力された選択信号から、信号パターンAの送信開始時間と信号パターンBの検出開始時間との差分、信号パターンBの送信開始時間と信号パターンCの検出開始時間との差分、信号パターンCの送信開始時間と信号パターンAの検出開始時間との差分を伝送路遅延時間として算出することを特徴とする伝送路遅延時間測定装置を、第5に、信号パターンA、信号パターンB、および、信号パターンCが疑似ランダムパターンであることを特徴とする伝送路遅延時間測定装置を、第6に、信号パターンA出力手段、信号パターンB出力手段、信号パターンC出力手段、信号パターンA検出手段、信号パターンB検出手段、または、信号パターンC検出手段が、シフトレジスタと排他的論理和演算素子とを備えることを特徴とする伝送路遅延時間測定装置を提供する。

また、この出願の発明においては、第7に、上記のいずれかの伝送路

遅延時間測定装置を伝送路遅延時間測定手段として備えるデータ伝送装置と、第 8 に、上記のいずれかの伝送路遅延時間測定装置を具備した半導体チップを提供する。

さらに、この出願の発明は、第 9 に、上記の伝送路遅延時間測定方法を用いる伝送路ループ形成検出方法であって、第 1 の信号パターンから最後の信号パターンの内の少なくとも 1 つの信号パターンを選択し、この選択された信号パターンについて、送信信号として選択された送信開始時と、受信信号において検出された信号パターン検出時とにおいて、位相のずれが一定範囲内である場合には、伝送路上にループが形成されていると判別する伝送路ループ形成検出方法をも提供する。そして、この出願の発明は、第 10 の態様として、上記の伝送路ループ形成検出方法であって、選択された信号パターンが擬似ランダムパターンであることを特徴とする伝送路ループ形成検出方法を提供するものである。

また、この出願の発明は、第 11 に、信号パターン A、信号パターン B、信号パターン C のうちの少なくとも一つの信号パターンを選択し、この選択された信号パターンについて、送信信号として選択された送信開始時と、受信信号において検出された信号パターン検出時とにおいて、位相のずれが一定の範囲内である場合には伝送路上にループが形成されていると判別する伝送路ループ形成検出装置を、第 12 に、信号パターン A、信号パターン B、信号パターン C が疑似ランダムパターンであることを特徴とする伝送路ループ形成検出装置を提供する。

またこの出願の発明においては、第 13 に、上記のいずれかの伝送路ループ形成検出装置を伝送路ループ形成検出手段として備えるデータ伝送装置と、第 14 に、上記のいずれかの伝送路ループ形成検出手段を具備した半導体チップを提供する。

図面の簡単な説明

図 1 は、この出願の発明である伝送路遅延時間測定方法における送信

信号の状態遷移について示した概要図である。

図2は、この出願の発明である伝送路遅延時間測定装置の構成について示した概要図である。

図3は、この出願の発明の伝送路遅延時間測定装置における信号パターン送信手段および信号パターン検出手段の構成例について示した概要図である。

図4は、データ容量と伝送路遅延との関係について示した概要図である。

なお、図中の符号は次のものを示す。

- 1 1 送信タイミングパルス出力手段
- 1 2 信号パターンA出力手段
- 1 3 信号パターンB出力手段
- 1 4 信号パターンC出力手段
- 1 5 送信信号出力手段
- 1 6 信号パターンA検出手段
- 1 7 信号パターンB検出手段
- 1 8 信号パターンC検出手段
- 1 9 出力信号選択手段
- 2 0 伝送路遅延時間算出手段
- 3 1 シフトレジスタ
- 3 2 排他的論理演算素子

発明を実施するための最良の形態

この出願の発明である伝送路遅延時間測定方法においては、複数種類の信号パターンを用いて、対向する第1のデータ伝送装置と第2のデータ伝送装置との間のデジタル伝送路の遅延時間を測定する。この出願の発明である伝送路遅延時間測定方法においては、3種類以上の複数種類の信号パターンが用いられるが、ここでは複数種類の信号パターンとし

て 3 種類の信号パターンを用い、この出願の発明である伝送路遅延時間測定方法の原理について説明する。ここで、3 種類の信号パターンを、それぞれ信号パターンA、信号パターンB、および、信号パターンCとする。なお、4 種類以上の複数種類の信号パターンを用いた場合であっても、3 種類の信号パターンを用いた場合と同様に伝送路遅延時間測定を実施することが可能である。

図 1 は、この出願の発明である伝送路遅延時間測定方法における送信信号の状態遷移図である。第 1 のデータ伝送装置および第 2 のデータ伝送装置においては、図 1 に示すように、信号パターンAを受信信号の中に検出した場合には送信信号を信号パターンBに変更し、信号パターンBを受信信号の中に検出した場合には送信信号を信号パターンCに変更し、信号パターンCを受信信号の中に検出した場合には送信信号を信号パターンAに変更する。また、受信信号の中に信号パターンA、信号パターンB、および、信号パターンCのいずれも検出しない場合、あるいは、信号パターンA、信号パターンB、および、受信信号の中に信号パターンCのうちの少なくとも 2 つ以上を同時に検出した場合には直前の送信信号の信号パターンを維持する。

以上のように、第 1 のデータ伝送装置と第 2 のデータ伝送装置との間で信号の送受信を行い、信号パターンAの送信開始から信号パターンBの検出までの時間 T_{AB} 、信号パターンBの送信開始から信号パターンCの検出までの時間 T_{BC} 、または、信号パターンCの送信開始から信号パターンAの検出までの時間 T_{CA} を、伝送路間の遅延時間として測定する。このとき、 T_{AB} 、 T_{BA} 、および、 T_{CA} は、第 1 のデータ伝送装置と第 2 のデータ伝送装置との間の伝送路往復遅延時間を示しており、それぞれがほぼ等しい値となる。

信号パターンA、信号パターンB、および、信号パターンCとしては、それを識別できるユニークなパターンであればどのようなものであってもよいが、好適な例としては疑似ランダムパターンが用いられる。

例えば、ITU-T勧告O.152においては、ビット誤り率測定用に2047ビット周期のランダムビット列からなる疑似ランダムパターンを勧告している。

疑似ランダムパターンは、シフトレジスタによる論理回路により生成・検出できることからハードウェアとして実装してもよく、この場合には生成・検出を高速に実行できるというメリットがある。疑似ランダムパターン生成器あるいは疑似ランダムパターン検出器においては、ビット列の周期が、シフトレジスタの数である段数によって決定される。上述したITU-T勧告O.152より勧告されている2047ビット周期は、11段のシフトレジスタ回路によって実現可能である。

図2は、この出願の発明である伝送路遅延時間測定方法を実現するための伝送路遅延時間測定装置の構成について示した概要図である。この出願の発明である伝送路遅延時間測定装置は、送信タイミングパルス出力手段(11)、信号パターンA出力手段(12)、信号パターンB出力手段(13)、信号パターンC出力手段(14)、送信信号出力手段(15)、信号パターンA検出手段(16)、信号パターンB検出手段(17)、信号パターンC検出手段(18)、出力信号選択手段(19)、伝送路遅延時間算出手段(20)とから構成される。この伝送路遅延時間測定装置は、伝送路を介して2体が対向するように配置され、伝送路の往復遅延時間の測定を可能とする。

送信タイミングパルス出力手段(11)においては、送信タイミングパルスが出力され、信号パターンA出力手段(12)、信号パターンB出力手段(13)、および、信号パターンC出力手段(14)に入力される。信号パターンA出力手段(12)、信号パターンB出力手段(13)、および、信号パターンC出力手段(14)においては、それぞれがユニークである信号パターンである信号パターンA、信号パターンB、および、信号パターンCが生成され、出力される。信号パターンA出力手段(12)、信号パターンB出力手段(13)、および、信号パターン

C出力手段（14）からそれぞれ出力される信号パターンA、信号パターンB、および、信号パターンCは、送信信号出力手段（15）に入力される。送信信号出力手段（15）においては、入力された信号パターンA、信号パターンB、および、信号パターンCの内のいずれかの信号パターンが選択され送信信号として、伝送路に対して出力される。

信号パターンA検出手段（16）においては、伝送路から受信した受信信号の中から、信号パターンAが検出される。信号パターンA検出手段（16）において、信号パターンAが検出された場合には、検出信号が出力される。同様に、信号パターンB検出手段（17）において信号パターンBが検出された場合、また、信号パターンC検出手段（18）において信号パターンCが検出された場合には、それぞれ、検出信号が出力される。

信号パターンA検出手段（16）、信号パターンB検出手段（17）、および、信号パターンC検出手段（18）から出力される検出信号は、出力信号選択手段（19）に入力され、出力信号選択手段（19）においては入力された検出信号の状態に応じて送信信号出力手段（15）に対して選択信号を出力する。伝送路遅延時間算出手段（20）においては、送信タイミングパルスと選択信号とから伝送路遅延時間が算出される。

信号パターンA出力手段（12）、信号パターンB出力手段（13）、および、信号パターンC出力手段（14）からそれぞれ出力される信号パターンA、信号パターンB、および、信号パターンCは、それぞれがユニークであればどのような信号であってもよいが、より好適には疑似ランダムパターンが用いられる。疑似ランダムパターンが送信信号として用いられる場合には、信号パターンA出力手段（12）、信号パターンB出力手段（13）、信号パターンC出力手段（14）、信号パターンA検出手段（16）、信号パターンB検出手段（17）、および、信号パターンC検出手段（18）は、図3に示すような、シフトレジスタ（3

1) と排他的論理演算素子 (32) とからなる論理回路により構成されることが好ましい。このような論理回路として実装されることにより、3種類の信号パターンの生成および検出が極めて高速に実行できる。

出力信号選択手段 (19)においては、受信信号が信号パターンAのみである場合には送信信号を信号パターンBに変更するように送信信号出力手段 (15) に対して選択信号が出力され、受信信号が信号パターンBのみである場合には送信信号を信号パターンCに変更するように送信信号出力手段 (15) に対して選択信号が出力され、また、受信信号が信号パターンCのみである場合には送信信号を信号パターンAに変更するように送信信号出力手段 (15) に対して選択信号が出力される。伝送路遅延時間算出手段 (20)においては、選択信号出力手段が、信号パターンAを送信信号として選択する選択信号を出力している時間、信号パターンBを送信信号として選択する選択信号を出力している時間、信号パターンCを送信信号として選択する選択信号を出力している時間を測定し、それぞれを伝送路遅延時間とする。

以上で説明した伝送路遅延時間測定装置は、伝送路遅延時間測定手段として一般的なデータ伝送装置に実装することが可能である。また、この出願の発明である伝送路遅延時間測定装置は、提供の形態として半導体チップとして製造されることが好ましい。

なお、伝送路遅延時間測定の実施には、2体の伝送路遅延時間測定装置間で信号パターンの検出にかかる時間が誤差となるが、この出願の発明にあっては検出に要するビット数が数十ビットと極めて小さいことから、例えば、64 k b p s の伝送路であっても誤差となる検出までの時間は高々1ミリ秒程度である。従って、十分に実用に耐えうる精度での伝送路遅延時間測定が可能である。

より厳密に伝送路遅延時間測定を行うために、上記により算出された伝送路遅延時間から (検出に要する必要ビット数) × (送信タイミングパルスの間隔) × 2 に相当する時間を減ずることが好ましい。

この出願の発明においては、3種類の信号パターンを用いているが、これは信号パターン出力手段を構成するシフトレジスタの初期状態によらず、強制的に状態変化を発生させるためである。例えば、2種類の信号パターンを用いた場合には、双方が異なるパターンを送信し続ける状態で固定されてしまうことになる。

3種類の信号パターンを、疑似ランダムパターンとした場合、その選び方は基本的に自由であってよいが、後述の実施例において詳細に説明するとおり、伝送路上でループが形成されていることを検出するために、3種類の信号パターンの内の少なくともひとつは、長い周期長となるよう設定することが好ましい。具体的には、少くとも $2^{10} \sim 2^{20}$ ビット程度の周期長に設定することが好適である。

この出願の発明の伝送路遅延時間測定方法を応用することで、伝送路上のループの形成の検出を行うことが可能となる。具体的には、信号パターンA、信号パターンB、および、信号パターンCの内の少なくとも1つの信号パターンを選択し、この選択された信号パターンについて受信信号と送信信号とにおいてどれだけの位相のずれが存在するかを測定し、選択された信号パターンの位相のずれが一定の範囲内であった場合には、伝送路上にループが形成されていると判別するものである。したがって、この出願の発明の伝送路遅延時間測定装置においては、伝送路遅延時間測定に用いられる複数の信号パターンの内の少なくともひとつつの信号パターンについて、受信信号と送信信号とにおいてどれだけの位相のずれが存在するかを測定するための位相測定手段を備えることにより、この伝送路遅延時間測定装置が設置された伝送路上におけるループ形成を検出することが可能となる。

以上は、この出願の発明における形態の一例であり、本発明がこれらに限定されることはなく、その細部について様々な形態をとりうることが考慮されるべきであることは言うまでもない。特に、この出願の発明の伝送路遅延時間測定方法においては、各種通信機器に実装可能な通信

プロトコルとしての利用についても発明の形態の一部として考えられるべきである。

この出願の発明は、以上の特徴を持つものであるが、以下に実施例を示し、さらに具体的に説明する。

実施例 1

この出願の発明による伝送路遅延時間測定の実施に関しては、上記で詳しく説明したとおりであるが、以下、この出願の発明により付随的に得られる機能について説明する。この機能は、通信事業者などのネットワーク運用者にとって極めて有用であると考えられる。

この出願の発明である伝送路遅延時間測定装置Xおよび伝送路遅延時間測定装置Y間の伝送路において通常の通信状態が成立しているとき、伝送路途中にこの出願の発明である伝送路遅延時間測定装置Zを伝送路遅延時間測定装置Xおよび伝送路遅延時間測定装置Yの間の通信に介入しないように、モニタとして設置すると、伝送路遅延時間測定装置Zは伝送路遅延時間測定装置X－伝送路遅延時間測定装置Z間あるいは伝送路遅延時間測定装置Y－伝送路遅延時間測定装置Z間の伝送路遅延を測定することができる。伝送路遅延時間測定装置Zにおいては、伝送路遅延時間測定装置Xからの送信信号と伝送路遅延時間測定装置Yからの受信信号とをモニタしておき、伝送路遅延時間測定装置Xからの信号パターンAを検出した後に伝送路遅延時間測定装置Yからの信号パターンBを検出するか、伝送路遅延時間測定装置Xからの信号パターンBを検出した後に伝送路遅延時間測定装置Yからの信号パターンCを検出するか、または、伝送路遅延時間測定装置Xからの信号パターンCを検出した後に伝送路遅延時間測定装置Yからの信号パターンAを検出することにより、伝送路遅延時間測定装置Zが設置されたモニタ地点から伝送路遅延時間測定装置Yまでの伝送路遅延時間を測定することが可能となる。同様に、伝送路遅延時間測定装置Yからの送信信号

と伝送路遅延時間測定装置Xからの受信信号をモニタすることにより、伝送路遅延時間測定装置Zが設置されたモニタ地点から伝送路遅延時間測定装置Xまでの伝送路遅延時間を測定することが可能となる。

例えば、伝送路遅延時間測定装置Xおよび伝送路遅延時間測定装置Yがエンドユーザの使用機器である場合には、通信事業者は伝送路遅延時間測定装置Zの設置によりエンドユーザに提供される回線のチェックを行うことが可能となる。

実施例 2

この出願の発明により付隨的に得られる機能について、更に説明する。この機能は、実施例1と同様に、通信事業者などのネットワーク運用者にとって極めて有用であると考えられる。

運用中の伝送路においてループが形成されると、当然、エンド-エンドの通信は障害を受けることとなる。しかし、ほとんどの場合、ループ時には伝送装置は無警報状態となり、運用者からは正常に動作しているように見える。異常としてループが検知されないため、障害の長期化にもつながりやすい。

ループの検出がされずに警報が発せられないのは、伝送レイヤにおける宿命でもある。そもそも伝送レイヤのプロトコルにおいては、シンメトリカルに2つのデータ伝送装置が対向できるようになっていることがデータ伝送のための前提となる。よって、相手の送信信号と自分の送信信号は同じ仕様であり、受信信号が正常な相手から送られてきたものか、あるいは、自分の送信信号が伝送路上に存在するループにより折り返されて受信したものであるのかは、直ちに判別することは現行の技術においては不可能である。

このように危険性のあるループ作成であるが、保守上伝送路の品質・接続性の確認のために、開通前または開通後を問わず多用されている。ループを形成することにより、測定時において必要とされる測定器の台

数は片側 1 台で済み、また、障害区間特定の作業もループ箇所を変更していくことで簡便になるからである。しかし、保守当事者間の連絡不足などにより、作成されたループが放置されたり、不必要的地点にループが形成されたりするようなケースが少なくなく、その場合には、障害が長期化する傾向にある。以上の理由により、伝送レイヤにおいてもループ検出の必要性は極めて高いものと考えられている。

前述したように、伝送路上にループが存在しても、その存在を検知することは不可能であり、従来技術においては、ループを検出するためには必ず何らかの前処理を行うことを必要としている。

その例のひとつは、保守用のチャネルを常時用意しておき、そこにお互いが異なる伝送路名を書き込んでおく方式が知られている。例えば、東京－大阪間を結ぶ伝送路においては、東京から送信するチャネルには“T Y O – O S A”と書き込み、大阪から送信するチャネルには“O S A – T Y O”と書き込む。東京に設置された装置が“O S A – T Y O”以外の信号を受信した場合には伝送路に異常があるものと考えられ、特に、受信した信号に“T Y O – O S A”的記述が含まれる場合には、伝送路上にループが形成されているものと考えられる。

実際の例としては、I T U – T 勘告 G. 707において、J 1 バイトが伝送路名書き込み用のチャネルとして記述されている。J 1 バイトにおいては、15 文字分の書き込みが可能である。

J 1 バイトに伝送路名を記述するのであれば、相手方との事前打ち合わせにより伝送路名を決定しておかなければならぬ。しかし、異なる事業者間での相互接続の場合などでは、J 1 バイトが空白のまま未使用の状態で運用されているケースが多い。そもそも、伝送路呼称方法は、事業者によってまちまちであり、相互接続時に個別の呼称方法の合意に至ることが極めて困難である。商業上の観点から伝送路の接続は急務であると考えられるため、呼称方法の合意のために十分な時間を設けることは極めて困難である。したがって、ループ形成検出方式において、以

上で説明したような前処理を実施することは、合理性や実用性に乏しいと考えざるを得ない。

この出願の発明である伝送路遅延時間測定装置においても、伝送路上にループが形成されてしまった場合に、一見正常に見える動作をしてしまうことになる。すなわち、信号パターンAを送信し、ループにより帰還した信号パターンAを受信し、次いで、信号パターンBを送信し、ループにより帰還した信号パターンBを受信し、更に、信号パターンCを送信し、ループにより帰還した信号パターンCを受信することを繰り返すことになる。このとき、測定される伝送路遅延時間は、2体の伝送路遅延時間測定装置が対向している状態の2倍となるが、事実に反しているにも関わらず動作としては正常に見えててしまうことから伝送路遅延時間の測定だけではループの形成を検出することは不可能である。

しかし、信号パターンA、信号パターンB、または、信号パターンCの内の少なくともひとつを、周期の長い疑似ランダムパターンとすることにより、ループ形成の検出が可能となる。

一方のデータ伝送装置X内部で生成されている信号パターンA、信号パターンB、および、信号パターンCと、他方のデータ伝送装置Y内部で生成されている信号パターンA、信号パターンB、および、信号パターンCとは、同じ信号列であるが、位相は合致していない。データ伝送装置Xおよびデータ伝送装置Yの初期状態がランダムであると考えると、位相を合わせるために、異なる装置であるXおよびYを全く同時に電源投入するなど、特殊でかつ非合理的な努力が必要となる。

正常な対向状態において、データ伝送装置Xが仮に最初に信号パターンAを送信していたとしたら、しかるべき時間の後にデータ伝送装置Yから信号パターンBを受信することになり、さらに、データ伝送装置Xから信号パターンCを送信し、データ伝送装置Yから信号パターンAを受信することになる。このとき、最初にデータ伝送装置Xから送信した信号パターンAの送信開始時の位相と最後にデータ伝送装置Yから受

信した信号パターンAの検出時の位相が完全に合致する可能性は1／(信号パターンAの周期)である。もしループが形成されているものとすると、最後に受信した信号パターンAはデータ伝送装置Xから受信していることとなるため、これらの位相が合致することになる。よって、信号パターンの周期を十分に大きく取れば、正常な対向状態においてこれらの位相が合致する確率は極めて低く、伝送路上のループの形成を判定するための条件として位相の合致を用いたとしても十分に合理性がある。なお、位相はシフトレジスタの状態で表すことができる。よって位相の合致の判断とは、出力手段のシフトレジスタの状態と検出手段のシフトレジスタの状態が一致しているかを見ることに等しい。

ただし、信号パターンA、信号パターンB、および、信号パターンCは、1ビット毎に確実に検出できるわけではない。信号パターン検出(位相比較)に必要とされるビット数は、そのシフトレジスタの段数の概ね2倍である。つまり、n段のシフトレジスタによって生成された疑似ランダムパターンは、周期が $2^n - 1$ 、検出に要するビット数は概ね $2 \times n$ であり、したがって、正常な対向状態において、信号パターンAの位相が合致して、ループが形成されているものと誤認識する確率は $2^n / (2^n - 1)$ となる。ゆえに、nを十分大きくとることにより、誤認識の確率は極めて低い値とすることが可能であり、仮に信号パターンAが $2^{13} - 1$ の周期を有するビット列であるとすると、誤認識の確率は 0.003 であり 10^{-3} のオーダーとなるが、他の信号パターンである信号パターンBを $2^{17} - 1$ の周期を有するビット列であるとし、また、信号パターンCを $2^{19} - 1$ の周期を有するビット列であるとすると、3つの信号パターンの全ての位相が合致する確率は 10^{-11} のオーダーとなり、誤認識が発生する可能性は極めて低くすることができる。このように、2の10乗から20乗程度の周期を有する信号パターンを用いることで、伝送路上におけるループ形成の検出を極めて高い精度で実現することが可能となる。

前述したようにループが形成されているときの算出された伝送路遅延時間は実際の 2 倍であるが、遅延測定と独立にループが検出されるため、単純に 1/2 倍することによってループ形成地点までの遅延を求めることができる。これはループ形成地点の推定に寄与する。

産業上の利用可能性

この出願の発明により 2 体のデータ伝送装置間で測定のための準備を必要とせず、また、複雑なプロトコルや別の同期装置を必要とせず、簡便にデジタル伝送路における遅延時間を測定することが可能となる。

また、従来技術においてはデジタル伝送路の一端においてのみしか遅延時間測定結果を得ることができなかつたが、この出願の発明により、デジタル伝送路の両端において遅延時間の測定結果を得ることが可能となる。

この出願の発明においては、シフトレジスタを基本構成としたハードウェアにより伝送路遅延時間測定を実現することが可能となり、複雑なプロトコルを必要とせず、高速な処理が実現する。

データ伝送においては送信と受信とが全く別のルートを経由する場合があり、その場合には送信と受信とで伝送路遅延が大きく異なることがあるが、この出願の発明はこのようなケースに対処可能であり、さらには、伝送速度の高低に関わらず伝送路遅延時間測定の実施が可能である。さらには、この出願の発明による伝送路遅延時間測定の精度は、最も一般的な 64 キロビット/秒の伝送路において数ミリ 秒以内であり、極めて正確な伝送路遅延時間測定を実現する。

また、この出願の発明は、伝送路遅延時間測定に適当な信号パターンを使用することにより、従来は不可能、あるいは非常に困難であった、伝送路上のループ形成検出を実現する。以上、詳しく説明したとおり、この出願の発明により、2 体のデータ伝送装置間で測定のための準備を必要とせず、また、複雑なプロトコルや別の同期装置を必要とせず、簡

便にデジタル伝送路における遅延時間を測定することが可能な伝送路遅延時間測定方法が提供され、かつ従来は不可能とされてきた物理レイヤでのループ形成検出方法が提供される。

インターネットに代表されるデータ通信が通信網の利用形態として主流となっており、映像や音声などの様々な大容量データを伝送する必要があることから、通信事業者や企業情報システム担当者などのネットワーク運用者にとって、伝送路遅延の把握は極めて重要な課題である。この出願の発明は、簡便かつ高い精度での伝送路遅延時間測定を実現するものであり、さらには、ネットワーク運用者にとって有用な機能を付随して提供するものであることから、その実用化が強く期待される。

請求の範囲

1. 3 以上の複数種類の信号パターンを用いて、対向する第 1 のデータ伝送装置と第 2 のデータ伝送装置との間のデジタル伝送路の遅延時間を測定する伝送路遅延時間測定方法であって、第 1 の信号パターンを受信信号の中に検出した場合には送信信号を第 2 の信号パターンに変更し、第 2 の信号パターンを受信信号の中に検出した場合には送信信号を第 3 の信号パターンに変更し、順次、信号パターンを受信信号の中に検出した場合、送信信号の信号パターンを変更し、最後の信号パターンを受信信号の中に検出した場合には送信信号を第 1 の信号パターンに変更し、また、受信信号の中に前記信号パターンのいずれも検出しない場合、あるいは、前記信号パターンの中に信号パターンのうちの少なくとも 2 つ以上を同時に検出した場合には直前の送信信号の信号パターンを維持するように、第 1 のデータ伝送装置と第 2 のデータ伝送装置との間で信号の送受信を行い、第 1 の信号パターンの送信開始から第 2 の信号パターンの検出までの時間、第 2 の信号パターンの送信開始から第 3 の信号パターンの検出までの時間、順次、信号パターンの送信開始から信号パターンの検出までの時間、または、最後の信号パターンの送信開始から第 1 の信号パターンの検出までの時間を、伝送路間の遅延時間として測定する伝送路遅延時間測定方法。
2. 複数の信号パターンが疑似ランダムパターンであることを特徴とする請求項 1 記載の伝送路遅延時間測定方法。
3. 送信タイミングパルスを出力する送信タイミングパルス出力手段と、送信タイミングパルスの入力により第 1 の信号パターンを生成して出力する第 1 の信号パターン出力手段と、送信タイミングパルスの入力により第 2 の信号パターンを生成して出力する第 3 の信号パターン出力手段と、順次送信タイミングパルスの入力により信号パターンを生成して出力信号パターン出力手段と、送信タイミングパルスの入力により

最後の信号パターンを生成して出力する最後の信号パターン出力手段と、第1の信号パターン出力手段から最後の信号パターン出力手段より入力された第1の信号パターンから最後の信号パターンの内のいずれかの信号パターンを選択して送信信号として出力する送信信号出力手段と、受信信号の中から前記第1から最後の信号パターンを検出した場合に検出信号を出力する第1から最後の信号パターン検出手段と、前記第1から最後の信号パターン検出手段から入力された検出信号に応じて送信信号出力手段に対して選択信号を出力する出力信号選択手段と、送信タイミングパルスと選択信号とから伝送路遅延時間を算出する伝送路遅延時間算出手段とを備え、出力信号選択手段において、受信信号が第1の信号パターンのみである場合には送信信号を第2の信号パターンに変更するように送信信号出力手段に対して選択信号を出し、受信信号が第2の信号パターンのみである場合には送信信号を第3の信号パターンに変更するように、順次送信信号出力手段に対して選択信号を出し、受信信号が最後の信号パターンのみである場合には送信信号を第1の信号パターンに変更するように送信信号出力手段に対して選択信号を出力することを特徴とする伝送路遅延時間測定装置。

4. 伝送路遅延時間算出手段において、出力信号選択手段より出力された選択信号から、第1の信号パターンの送信開始時間、第2の信号パターンの送信開始時間、順次最後の信号パターンの送信開始時間を判定し、第1の信号パターンの送信開始時間と第2の信号パターンの検出開始時間との差分、第2の信号パターンの送信開始時間と第3の信号パターンの検出開始時間との差分、順次最後の信号パターンの送信開始時間と第1の信号パターンの検出開始時間との差分を伝送路遅延時間として算出し、要求される値に応じて、補正值として（信号パターンの検出に要する必要ビット数）×（送信タイミングパルスの間隔）×2を伝送路遅延時間から減算することを特徴とする請求項3記載の伝送路遅延時間測定装置。

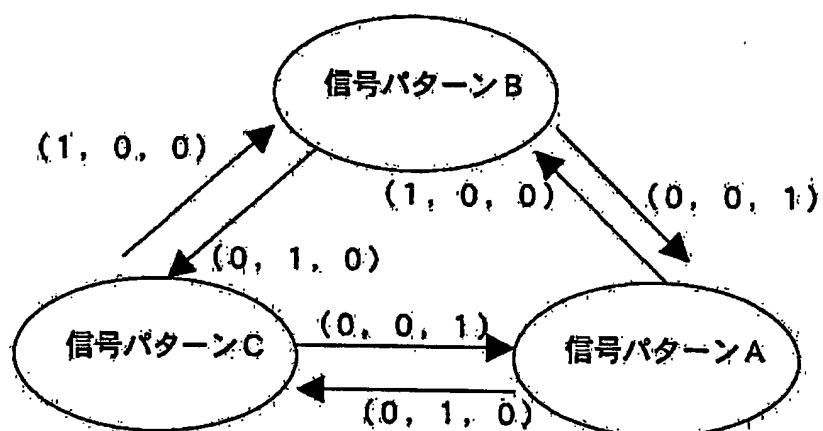
5. 3 以上の複数の信号パターンが疑似ランダムパターンであることを特徴とする請求項 3 または 4 の伝送路遅延時間測定装置。
6. 第 1 の信号パターン、第 2 の信号パターン、順次最後の信号パターンにいたるまでの信号パターン出力手段、及び第 1 の信号パターン、第 2 の信号パターン、順次最後の信号パターンにいたるまでの信号パターン検出手段が、シフトレジスタと排他的論理和演算素子とを備えることを特徴とする請求項 5 記載の伝送路遅延時間測定装置。
7. 請求項 3 乃至 6 のいずれかの伝送路遅延時間測定装置を伝送路遅延時間測定手段として備えるデータ伝送装置。
8. 請求項 3 乃至 6 のいずれかの伝送路遅延時間測定装置を具備した半導体チップ。
9. 請求項 1 または 2 の伝送路遅延時間測定方法を用いる伝送路ループ形成検出方法であって、第 1 の信号パターンから最後の信号パターンの内の少なくとも 1 つの信号パターンを選択し、この選択された信号パターンについて、送信信号として選択された送信開始時と、受信信号において検出された信号パターン検出時とにおいて、位相のずれが一定範囲内である場合には、伝送路上にループが形成されていると判別する伝送路ループ形成検出方法。
10. 選択された信号パターンが擬似ランダムパターンであることを特徴とする請求項 9 記載の伝送路ループ形成検出方法。
11. 請求項 1 または 2 の伝送路遅延時間測定方法を用いる伝送路ループ形成検出方法であって、第 1 の信号パターンから最後の信号パターンのうちの少なくとも一つの信号パターンを選択し、この選択された信号パターンについて、送信信号として選択された送信開始時と、受信信号において検出された信号パターン検出時とにおいて、位相のずれが一定の範囲内である場合には、伝送路上にループが形成されていると判別することを特徴とする伝送路ループ形成検出装置。
12. 複数の信号パターンが疑似ランダムパターンであることを特徴

とする請求項 1 1 の伝送路ループ形成検出装置。

1 3. 請求項 1 1 または 1 2 のいずれかの伝送路ループ形成検出装置を伝送路ループ形成検出手段として備えるデータ伝送装置。

1 4. 請求項 1 1 または 1 2 のいずれかの伝送路ループ形成検出装置を具備した半導体チップ。

図 1



(X, Y, Z)

X … 信号パターン A の検出状態

Y … 信号パターン B の検出状態

Z … 信号パターン C の検出状態

1 のとき検出、0 のとき非検出

これ以外の条件においては現状維持

図 2

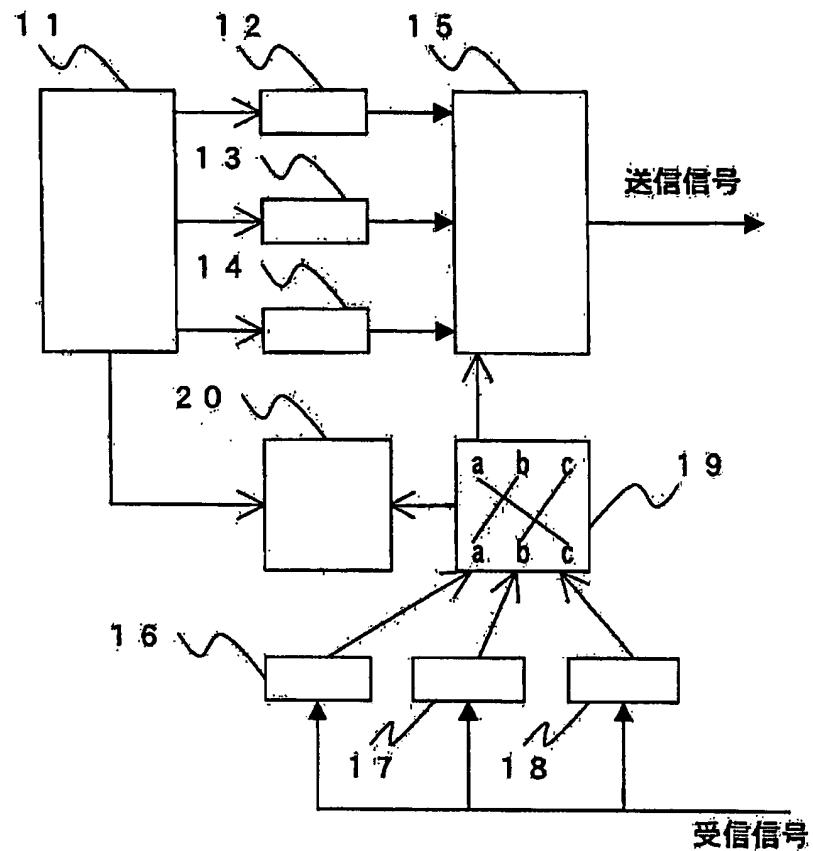
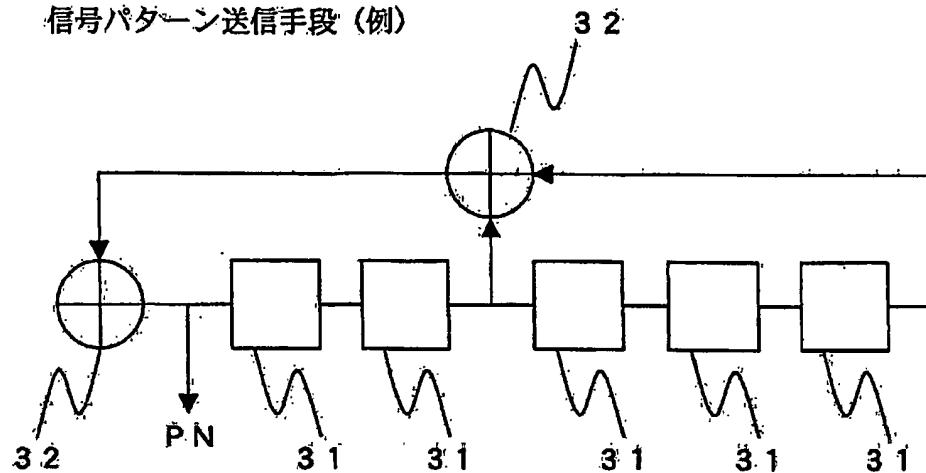


図 3

信号パターン送信手段(例)



信号パターン検出手段(例)

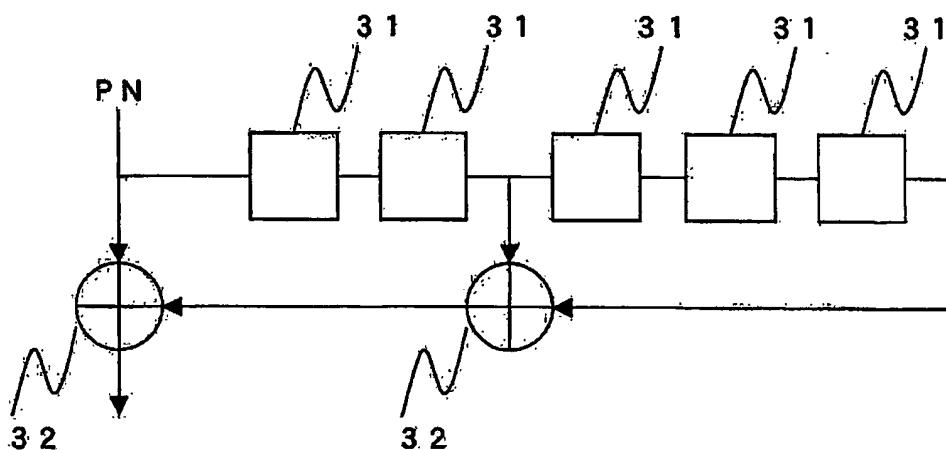
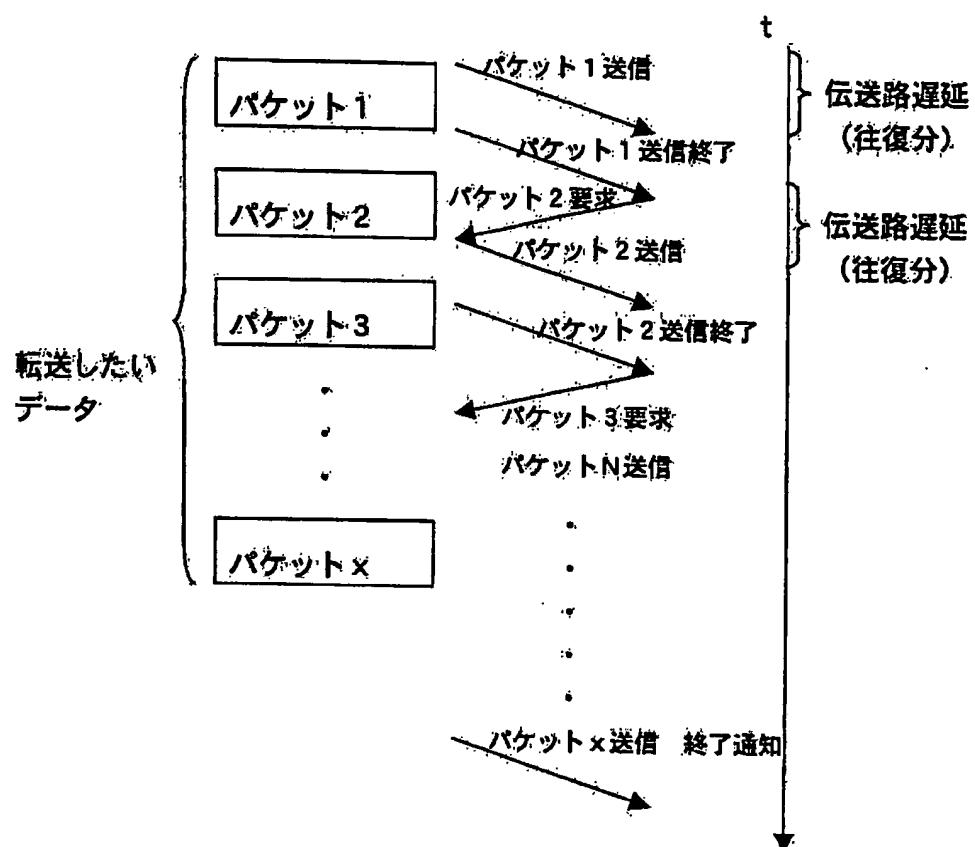


図 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013479

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04L12/56, H04L29/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04L12/56, H04L29/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-65698 A (The Furukawa Electric Co., Ltd.), 06 March, 1998 (06.03.98), Full text; Fig. 2 (Family: none)	1-14
A	JP 2000-270119 A (Hitachi Telecom Technologies, Ltd.), 29 September, 2000 (29.09.00), Par. Nos. [0045] to [0061]; all drawings (Family: none)	1-14
A	JP 5-7217 A (NEC Tsushin System Kabushiki Kaisha), 14 January, 1993 (14.01.93), Full text; all drawings (Family: none)	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 05 October, 2004 (05.10.04)	Date of mailing of the international search report 19 October, 2004 (19.10.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013479

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-177530 A (NEC Corp.), 29 June, 2001 (29.06.01), Full text; all drawings & EP 1109360 A1 & US 2001/0053130 A1	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H04L 12/56, H04L 29/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H04L 12/56, H04L 29/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-65698 A (古河電機株式会社) 1998. 03. 06, 全文, 第2図 (ファミリーなし)	1-14
A	JP 2000-270119 A (株式会社日立テレコムテクノロジー) 2000. 09. 29, 【0045】～【0061】，全図 (ファミリーなし)	1-14
A	JP 5-7217 A (日本電気通信システム株式会社) 1993. 01. 14, 全文, 全図 (ファミリーなし)	1-14

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 10. 2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀和

5X 3250

電話番号 03-3581-1101 内線 3555

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-177530 A (日本電気株式会社) 2001. 06. 29, 全文, 全図 & EP 1109360 A1 & US 2001/0053130 A1	1-14